

ADAMS & WILKS

ATTORNEYS AND COUNSELORS AT LAW

50 BROADWAY

31st FLOOR

NEW YORK, NEW YORK 10004

BRUCE L. ADAMS
VAN C. WILKS

JOHN R. BENEFIEL
PAUL R. HOFFMAN
TAKESHI NISHIDA
FRANCO S. DE LIQUORI

*NOT ADMITTED IN NEW YORK
*REGISTERED PATENT AGENT

RIGGS T. STEWART
(1924-1993)

TELEPHONE
(212) 809-3700

FACSIMILE
(212) 809-3704

September 10, 2004

COMMISSIONER FOR PATENTS
Washington, DC 20231

Re: Patent Application of Minoru SUDOU et al.

Serial No. 10/626,450

Filing Date: July 24, 2003

Examiner: Adolf D. Berhane

Group Art Unit: 2838

Docket No. S004-5076

S I R:

The above-identified application was filed claiming the right of priority based on the following foreign application(s).

- | | |
|---|---------------------|
| 1. Japanese Patent Appln. No. 2002-217758 | filed July 26, 2002 |
| 2. Japanese Patent Appln. No. | filed |
| 3. Japanese Patent Appln. No. | filed |
| 4. Japanese Patent Appln. No. | filed |
| 5. Japanese Patent Appln. No. | filed |
| 6. Japanese Patent Appln. No. | filed |
| 7. Japanese Patent Appln. No. | filed |
| 8. Japanese Patent Appln. No. | filed |
| 9. Japanese Patent Appln. No. | filed |
| 10. Japanese Patent Appln. No. | filed |
| 11. Japanese Patent Appln. No. | filed |

Certified copy(s) are annexed hereto and it is requested that these document(s) be placed in the file and made of record.

MAILING CERTIFICATE

I hereby certify that this correspondence is being deposited with the United States Postal Service as first-class mail in an envelope addressed to: COMMISSIONER OF PATENTS & TRADEMARKS, Washington, DC 20231, on the date indicated below.

DEBRA BUONINCONTI

Name

Debra Buoninconti

Signature

SEPTEMBER 10, 2004

Date

BLA: db
Enclosures

Respectfully submitted,

ADAMS & WILKS
Attorneys for Applicant(s)

By:

Bruce L. Adams
Bruce L. Adams
Reg. No. 25,386

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2002年 7月26日

10,626,450

出 願 番 号

Application Number:

特願2002-217758

[ST.10/C]:

[JP2002-217758]

願 人

Applicant(s):

セイコーインスツルメンツ株式会社

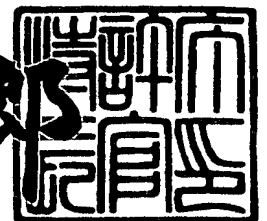
CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

2003年 6月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3042938

【書類名】 特許願

【整理番号】 02000653

【提出日】 平成14年 7月26日

【あて先】 特許庁長官 殿

【国際特許分類】 G05F 1/56
H03F 3/45

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインス
ツルメンツ株式会社内

【氏名】 須藤 稔

【発明者】

【住所又は居所】 兵庫県伊丹市松ヶ丘1丁目185番地

【氏名】 加納 賢次

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 入江 昭夫

【代理人】

【識別番号】 100096378

【弁理士】

【氏名又は名称】 坂上 正明

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103799

特 2 0 0 2 - 2 1 7 7 5 8

【プルーフの要否】

不要

【書類名】 明細書

【発明の名称】 ボルテージ・レギュレータ

【特許請求の範囲】

【請求項 1】 電源と接地の間に接続された基準電圧回路と、
外部負荷に供給される出力電圧を分圧するブリーダ抵抗で構成される分圧回路
と、
前記基準電圧回路の出力と前記分圧回路の出力を比較し、第 1 の信号を出力す
る差動増幅器と、
抵抗と容量が直列に接続された位相補償回路と、
前記差動増幅器の出力がゲート電極に入力され、前記電源と前記位相補償回路
の間に接続され、ソース接地された MOS トランジスタと、
前記 MOS トランジスタと接地の間に接続された定電流回路と、
前記 MOS トランジスタと前記位相補償回路の接続点から出力された第 2 の信
号がゲート電極に入力され、前記電源と前記分圧回路の間に接続された出力トラ
ンジスタと、を有し、
前記位相補償回路の抵抗側は、前記差動増幅回路の出力に接続されており、
前記位相補償回路の容量側は、前記 MOS トランジスタのドレイン電極に接続
されており、
前記出力トランジスタと前記分圧回路の接続点から前記出力電圧を出力するこ
とを特徴とするボルテージ・レギュレータ。

【請求項 2】 前記容量の値が、前記出力トランジスタのゲート容量の値と
比較し、同等以上の値であることを特徴とする請求項 1 に記載のボルテージ・レ
ギュレータ。

【請求項 3】 前記抵抗の値が $20\text{ k}\Omega$ 以上であり、前記容量の値が 10 pF 以
上であることを特徴とする請求項 1 又は 2 に記載のボルテージ・レギュレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、ボルテージ・レギュレータ（以下 V/R と記載する）の応答性を

上げ、かつ、小さい出力容量で安定動作することが可能な、 V/R に関する。

【0002】

【従来の技術】

従来の V/R としては、特開平4-195613に示されているように電圧1段増幅のエラー・アンプで構成されていた。即ち、従来の V/R は図5に示すような回路図となっていた。基準電圧回路10の基準電圧と、 V/R の出力電圧 V_{out} を分圧するブリーダ抵抗11、12の接続点の電圧との差電圧を、増幅するエラー・アンプ13と出力トランジスタ14とからなる。エラー・アンプ13の出力電圧を V_{err} 、基準電圧回路10の出力電圧を V_{ref} 、ブリーダ抵抗11、12の接続点の電圧を V_a とすれば、 $V_{ref} > V_a$ ならば、 V_{err} は低くなり、逆に $V_{ref} \leq V_a$ ならば、 V_{err} は高くなる。

【0003】

V_{err} が低くなると、出力トランジスタ14、この場合、 $P\text{-}chMOS$ トランジスタであるので、ゲート・ソース間電圧が大きくなり、ON抵抗が小さくなり、出力電圧 V_{out} を上昇させるように働き、逆に V_{err} が高くなると、出力トランジスタ14のON抵抗を高くして、出力電圧を低くするように働き、出力電圧 V_{out} を一定値に保つ。

【0004】

従来の V/R の場合、エラー・アンプ13は電圧1段増幅回路であり、出力トランジスタ14と負荷25で構成される電圧増幅段の2段電圧増幅の構成となっている。位相補償用コンデンサ15はエラー・アンプ13の出力と出力トランジスタ14のドレインとの間に接続され、ミラー効果によってエラー・アンプ13の周波数帯域を狭めることで、 V/R の発振を防いでいる。従って、 V/R 全体の周波数帯域が狭くなり、 V/R の応答性が悪くなる。

【0005】

一般に、 V/R の応答性を上げるには、 V/R 全体の周波数帯域を広くする必要がある。しかし、 V/R 全体の周波数特性を広くするには、電圧増幅回路の消費電流を増やす必要があり、特に携帯機器等バッテリーで V/R を使用する場合は、その動作時間が短くなる。

【 0 0 0 6 】

また、電圧 3 段増幅とすることで、比較的少ない消費電流でも V/R の周波数帯域を広くすることは可能であるが、位相が簡単に 180 度以上遅れるため、 V/R の動作が不安定となり最悪発振することもある。従って、電圧 3 段増幅の場合、負荷のコンデンサの ESR （等価直列抵抗）によるゼロ点で位相を戻す必要がある。但し、セラミック容量のように、 ESR が非常に小さい場合、ゼロ点の周波数を下げるには、セラミック容量の容量値を大きくする必要がある。

【 0 0 0 7 】

【発明が解決しようとする課題】

従来の V/R では、発振に対する安定性を確保するため、周波数帯域を狭くせざるを得ないため応答性が悪くなるという問題があった。また、応答性を上げると、消費電流が増加し、安定性が悪くなり、 V/R の出力に大きな容量が必要とされた。

【 0 0 0 8 】

そこで、この発明の目的は従来のこのような問題点を解決するために、少ない消費電流で応答性が良く、かつ、少ない出力容量でも安定動作する V/R を得ることを目的としている。

【 0 0 0 9 】

【課題を解決するための手段】

本発明のボルテージ・レギュレータは、電源と接地の間に接続された基準電圧回路と、外部負荷に供給される出力電圧を分圧するブリーダ抵抗で構成される分圧回路と、前記基準電圧回路の出力と前記分圧回路の出力を比較し、第 1 の信号を出力する差動増幅器とを有する。さらに、抵抗と容量が直列に接続された位相補償回路と、前記差動増幅器の出力がゲート電極に入力され、前記電源と前記位相補償回路の間に接続され、ソース接地された MOS トランジスタと、前記 MOS トランジスタと接地の間に接続された定電流回路と、前記 MOS トランジスタと前記位相補償回路の接続点から出力された第 2 の信号がゲート電極に入力され、前記電源と前記分圧回路の間に接続された出力トランジスタと、を有する。さらに、前記位相補償回路の抵抗側は、前記差動増幅回路の出力に接続されており

、前記位相増幅回路の容量側は、前記MOSトランジスタのドレイン電極に接続されており、前記出力トランジスタと前記分圧回路の接続点から前記出力電圧を出力する。

【0010】

本発明のボルテージ・レギュレータは、前記容量の値が、前記出力トランジスタのゲート容量の値と比較し、同等以上の値であることを特徴とする。

本発明のボルテージ・レギュレータは、前記抵抗の値が20k Ω 以上であり、前記容量の値が10pF以上であることを特徴とする。

【0011】

【発明の実施の形態】

V/Rのエラー・アンプを電圧2段増幅とし、1段目と2段目の出力段に位相補償用の抵抗と容量を挿入し、抵抗と容量で形成するゼロ点を低周波数に発生させることで、応答性が良く、かつ、少ない出力容量でも安定動作させている。

【0012】

【実施例1】

以下に、本発明の実施の形態を図面に基づいて説明する。図1は本発明の第1の実施例を示すV/R回路図である。基準電圧回路10、ブリーダ抵抗11、12、出力トランジスタ14及び負荷25は従来と同様である。

【0013】

差動増幅回路20は、電圧1段増幅回路でありその出力にソース接地増幅回路を形成するMOSトランジスタ23のゲートと、抵抗21と容量22で形成される位相補償回路の一端の抵抗側が接続されている。トランジスタ23は、定電流回路24で、定電流駆動される。ソース接地増幅回路の出力に、位相補償回路の他端と出力トランジスタ14のゲートが接続されている。

【0014】

即ち、エラー・アンプ回路は、差動増幅回路20とトランジスタ23からなるソース接地増幅回路の電圧2段増幅回路と、抵抗21と容量22の位相補償回路からなっている。その出力が出力トランジスタ14と負荷25からなるソース接

地増幅回路で増幅されるため、 V/R としては3段電圧増幅回路となる。

【0015】

3段電圧増幅回路とすることで、低消費電流でもGB積を大きくすることが可能となり、 V/R の応答性を高くすることができる。しかしながら、3段電圧増幅回路では位相が容易に180度以上遅れ、発振しやすくなる。

【0016】

そこで、発振を防止するため、抵抗21と容量22によるゼロ点で位相を戻している。

【0017】

図2に図1の回路の差動増幅回路20の電圧ゲインの周波数特性の例を示す。図2では、横軸に周波数の対数、縦軸に電圧ゲインのデシベルをとっている。最も低い周波数に最初のポールが存在する。これを以後、1stポールと呼び、その周波数をFp1とする。

【0018】

周波数Fp1より、電圧ゲインは -6 dB/oct で減衰するとともに、位相は90度遅れ始める。周波数Fp1から周波数を上げたところに最初のゼロ点が存在する。これを以後、1stゼロ点と呼び、その周波数をFz1とする。

【0019】

周波数Fz1より、電圧ゲインは周波数に対して一定となり、ゼロ点によって位相は90度進むため位相遅れは再びゼロとなる。周波数Fz1から周波数を上げたところに、第2のゼロ点が存在する。これを以後、2ndゼロ点と呼び、その周波数をFz2とする。

【0020】

周波数Fz2より、電圧ゲインは周波数に対して $+6\text{ dB/oct}$ で増大し、ゼロ点によって位相は90度進むため90度位相が進み始める。周波数Fz2から周波数を上げたところに、第2、第3のポールが存在する。これを以後、2ndポール、3rdポールと呼び、その周波数をFp2、Fp3とする。

【0021】

周波数Fp2より、電圧ゲインは周波数に対して一定となり、ポールによって位

相は 9 0 度遅れるため位相進みはゼロとなる。

【 0 0 2 2 】

さらに、周波数 F_{p3} より、電圧ゲインは周波数に対して -6 dB/oct で減衰し位相は、9 0 度遅れ始める。

【 0 0 2 3 】

図 2 では、各周波数の関係において、(1) 式が成立する。

$$F_{p1} < F_{z1} < F_{z2} < F_{p2} < F_{p3} \quad \dots (1)$$

すなわち、2nd ポールの周波数 F_{p2} よりも、低い周波数に 1 s t ゼロ点の周波数 F_{z1} と 2nd ゼロ点の周波数 F_{z2} が存在している。このようにすることで、周波数 F_{z1} から F_{z2} で位相遅れはなくなり、周波数 F_{z1} から F_{z2} の間では、位相が最大 9 0 度進むようになる。さらに、周波数 F_{z2} から F_{p2} の間で、位相の遅れも進みもなくなり、周波数 F_{z3} から位相が 9 0 度遅れ始める。

このように差動増幅回路の周波数特性を設定することで、周波数 F_{z1} から周波数 F_{p3} の間では、位相遅れは無く、むしろ位相が進むことになるので、V/R 全体の安定性を高めることが可能となる。

【 0 0 2 4 】

図 1 のトランジスタ 2 3 からなるソース接地増幅回路は、トランジスタ 2 3 のドレインのノードの容量とトランジスタ 2 3 の出力抵抗で決められる周波数にポールが存在する。その周波数を F_{p2nd} とする。また、図 1 の出力トランジスタ 1 4 と負荷 2 5 からなるソース接地増幅回路は、負荷 2 5 の抵抗と容量で決められる周波数にポールが存在する。その周波数を F_{p3rd} とする。

【 0 0 2 5 】

ともに、 F_{p2nd} と F_{p3rd} の周波数において電圧ゲインは周波数に対して -6 dB/oct で減衰し始め位相は、9 0 度遅れ始めることになる。ポールが 2 つ存在するので位相は合わせて 1 8 0 度遅れることになるが、 F_{p2nd} と F_{p3rd} が共に、 F_{p2} よりも、低い周波数であれば、周波数 F_{z2} の 2nd ゼロ点によって位相が戻るため、周波数 F_{p2} よりも、高い周波数で V/R の全体の電圧ゲインが 0 となれば、必ず位相余裕が発生し、V/R は、発振することなく安定動作させることが可能となる。

【 0 0 2 6 】

仮に、差動増幅回路の電圧ゲインの周波数特性が図 3 に示すように、2ndゼロ点の周波数 F_{z2} よりも、2ndポールの周波数 F_{p2} が低いと、周波数 F_{p2} から周波数 F_{z2} の間で位相は最大 90 度遅れることになり、前述の F_{p2nd} と F_{p3rd} によって、位相は 180 度遅れるため、 V/R 全体で 180 度以上位相が遅れ V/R は安定に動作しなくなる。

【 0 0 2 7 】

次に、図 1 の位相補償回路を形成する抵抗 21 とコンデンサ 22 について述べる。集積回路においてコンデンサを作製した場合の断面図の例を図 4 に示す。図 4 では、P 型基板上に、コンデンサを形成した例を示している。P 型基板 54 の中に、P 型とは逆の N 型の不純物拡散層 53 を形成し、その上に薄い酸化膜 52 を形成して、酸化膜 52 の上に電極 50 をつけ、N 型拡散層 53 に電極 51 をつけ、電極 51 と 50 の間で、酸化膜 52 による容量を形成する。P 型基板の場合は、P 型基板の電位は、一般に集積回路の最低の電位に接続されるため、P 型基板 54 に対して N 型拡散層 53 は常に絶縁されることになる。ここで、N 型拡散層 53 と P 型基板 54 との間に PN 接合容量が存在するため、N 型拡散層の電極 51 には、P 型基板との間に寄生の容量がつくことになる。この寄生容量の値は、一般に酸化膜 52 による容量の 1% から 20% 程度の値になる。

【 0 0 2 8 】

仮に、図 1 の位相補償回路を形成する抵抗 21 とコンデンサ 22 の接続を逆にし、コンデンサ 22 を差動増幅回路側に接続した場合、コンデンサ 22 の寄生容量によって、差動増幅回路 20 の電圧ゲインの周波数特性において、新たなポールが発生するため、 V/R としては安定動作しなくなる。

【 0 0 2 9 】

従って、位相補償回路を形成する抵抗 21 とコンデンサ 22 の接続では、抵抗 21 が必ず、差動増幅回路の出力に接続され、かつ、コンデンサ 22 の基板との寄生容量が接続される電極をトランジスタ 23 のドレインに接続する。このようにすることで、位相補償回路は、コンデンサ 22 の寄生容量の影響を最小限に抑えることが出来る。トランジスタ 23 のドレインには、出力トランジスタ 14 の

ゲートが接続されているため、そのゲート容量に対して、コンデンサ 2 2 の寄生容量の影響は小さい。

【 0 0 3 0 】

次に、2ndポールの周波数 F_{p2} と2ndゼロ点の周波数 F_{z2} について述べる。2ndポールの周波数 F_{p2} は、定電流回路 2 4 の出力インピーダンスが無限大とすれば、トランジスタ 2 3 の出力インピーダンスとトランジスタ 2 3 のドレインのノードの容量、すなわち、出力トランジスタ 1 4 のゲート容量でおおよそ決定される。

【 0 0 3 1 】

また、2ndゼロ点の周波数 F_{z2} は、おおよそ抵抗 2 1 とコンデンサ 2 2 の値で決定される。前述のように、 V/R を安定に動作させるためには、 $F_{z2} < F_{p2}$ の関係が成立する必要がある。

【 0 0 3 2 】

抵抗 2 1 の値を R_{21} 、コンデンサ 2 2 の値を C_{22} とすれば、この抵抗とコンデンサで形成されるゼロ点の周波数 F_{z2} は、(2)式で示される。

$$F_{z2} = 1 / (2 \cdot \pi \cdot C_{22} \cdot R_{21}) \quad \dots (2)$$

ここで、 F_{z2} を F_{p2} よりも、低い周波数にするため、抵抗と容量の値を大きくする必要があるが、集積回路において、大きな容量を形成するには、大きな面積を要するため、抵抗と容量で同じゼロ点の周波数を形成するにも、出来るだけ、抵抗の値を大きくしたほうが面積的にも有利である。しかし、コンデンサ 2 2 の値を小さくすると、図 2 において1stポールの周波数 F_{p1} と1stゼロ点の周波数 F_{z1} が共に、高い周波数へ移動する。

【 0 0 3 3 】

ここで、 F_{z1} は F_{p2nd} と F_{p3rd} よりも低い周波数に存在する必要がある、コンデンサ 2 2 の値をあまり小さくすることはできない。その関係上、抵抗 2 1 の値としては、20 k Ω 以上とするのが望ましい。

【 0 0 3 4 】

また、容量 2 2 の値は、仮に、抵抗 2 1 の値をトランジスタ 2 3 の出力インピーダンスと同程度の値にした場合、 $F_{z2} < F_{p2}$ を満足するには出力トランジスタ 1 4 のゲート容量よりも大きな値とする必要がある。

【 0 0 3 5 】

出力トランジスタ 1 4 ゲート容量の値は、 V/R の特性、特に V/R の扱う電流値によって大きく異なるが、一般の CMOS の集積化された V/R においては 1 0 p F 以上となる場合が多い。すなわち、コンデンサ 2 2 の値としては 1 0 p F 以上が望ましい。

【 0 0 3 6 】

【発明の効果】

本発明の V/R は、3 段増幅回路の構成をとっているが、差動増幅回路の位相補償を適当に実施することにより、低消費で、高速応答性を実現し、かつ低出力容量で安定に動作させることができるという効果がある。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例の V/R 回路の説明図である。

【図 2】

本発明の差動増幅回路のゲイン周波数特性を示す図である。

【図 3】

位相補償が適当でない差動増幅回路のゲイン周波数特性を示す図である。

【図 4】

コンデンサの断面構造の説明図である。

【図 5】

従来の V/R 回路の説明図である。

【符号の説明】

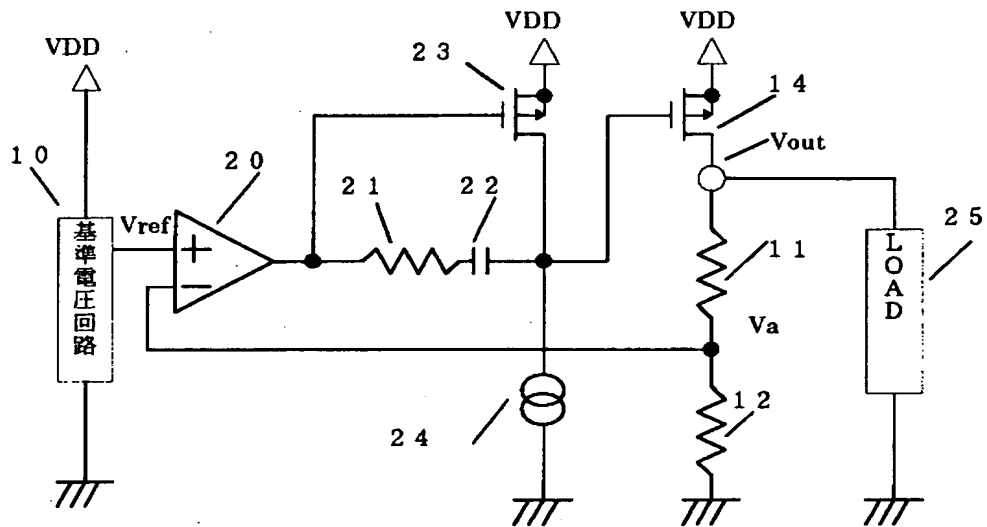
- 1 0 基準電圧回路
- 1 2 ブリーダ抵抗
- 1 4 出力トランジスタ
- 2 0 差動増幅回路
- 2 1 抵抗
- 2 2 コンデンサ
- 2 4 定電流回路

25 ボルテージ・レギュレータの負荷

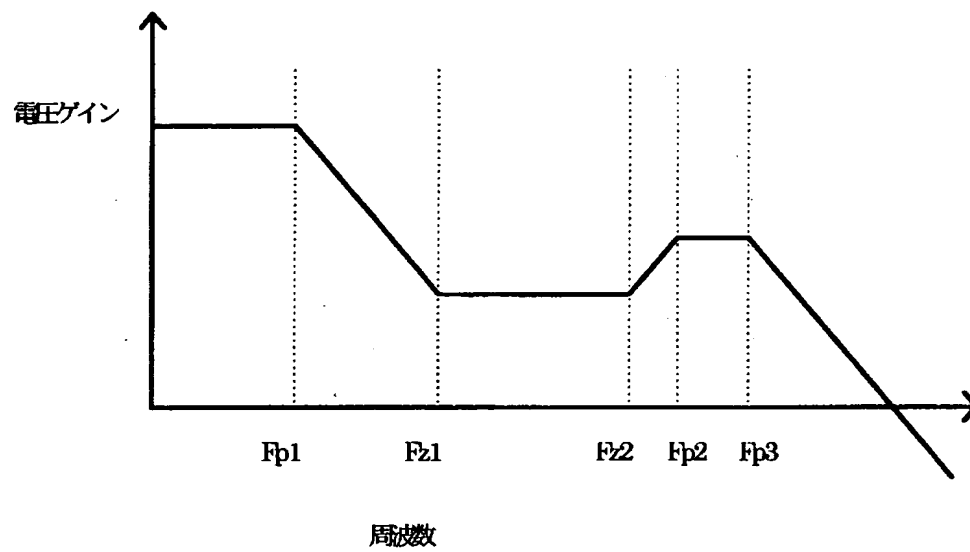
【書類名】

図面

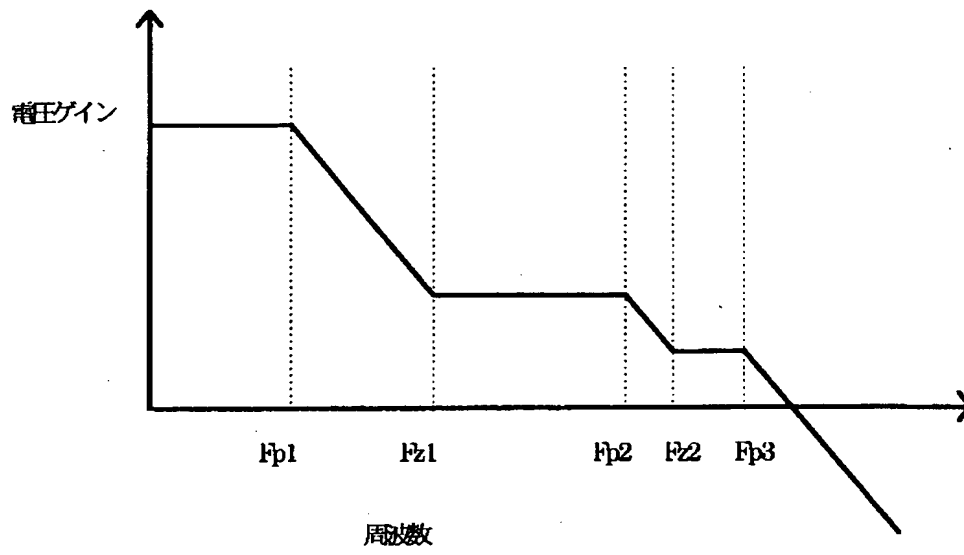
【図 1】



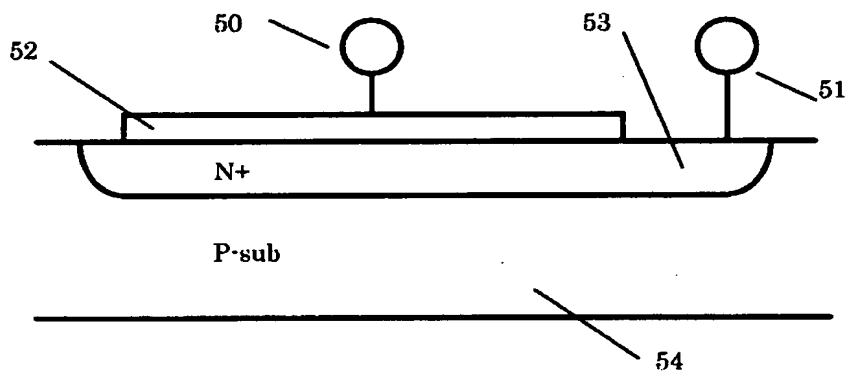
【図 2】



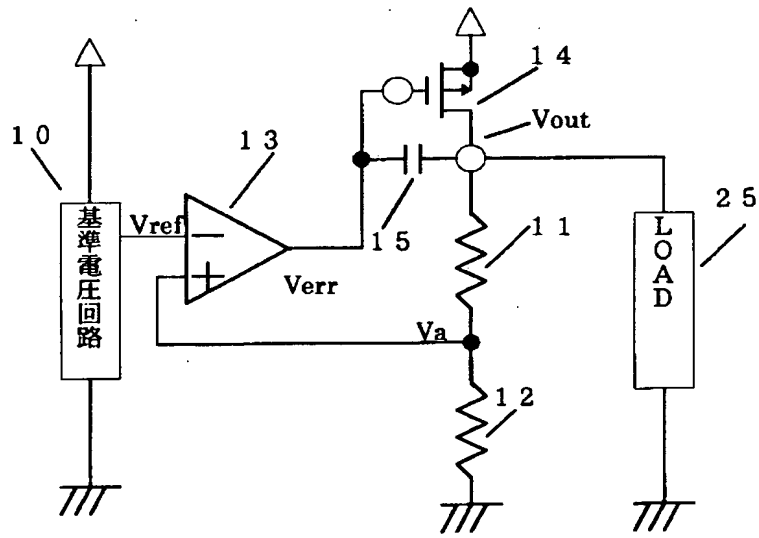
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 低消費電流で高速応答性を有し、低出力容量で安定に動作可能なボルテージ・レギュレータの提供。

【解決手段】 前記基準電圧回路の出力と前記分圧回路の出力を比較し、第1の信号を出力する差動増幅器と、抵抗と容量が直列に接続された位相補償回路と、前記差動増幅器の出力がゲート電極に入力され、前記電源と前記位相補償回路の間に接続され、ソース接地されたMOSトランジスタと、前記MOSトランジスタと接地の間に接続された定電流回路と、前記MOSトランジスタと前記位相補償回路の接続点から出力された第2の信号がゲート電極に入力され、前記電源と前記分圧回路の間に接続された出力トランジスタと、を有し、前記位相補償回路の抵抗側は、前記差動増幅回路の出力に接続されており、前記位相増幅回路の容量側は、前記MOSトランジスタのドレイン電極に接続されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002325]

1. 変更年月日 1997年 7月23日

[変更理由] 名称変更

住 所 千葉県千葉市美浜区中瀬1丁目8番地

氏 名 セイコーインスツルメンツ株式会社